

CLIPPEDIMAGE= JP406140633A
PAT-NO: JP406140633A
DOCUMENT-IDENTIFIER: JP 06140633 A
TITLE: MOS DRIVING TYPE SEMICONDUCTOR DEVICE

PUBN-DATE: May 20, 1994

INVENTOR-INFORMATION:

NAME
MATSUDA, HIDEO
FUJIWARA, TAKASHI
HIYOSHI, MICHIAKI
KARASAWA, MASARU

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP04288694
APPL-DATE: October 27, 1992

INT-CL_(IPC): H01L029/784
US-CL-CURRENT: 257/328

ABSTRACT:

PURPOSE: To provide a MOS driving type semiconductor device having a voltage blocking ability which is close to a theoretical value by increasing an effective area on a chip.

CONSTITUTION: One diffusion layer 28 is formed at a terminal (edge) of a chip in which a MOS semiconductor device is formed. This diffusion layer 28 is formed so as to surround the chip and the terminal thereof, and is also connected to a cathode 25. The diffusion layer 28 has the same electric potential as a p-type base layer 22. The terminal surface of the chip is aslant sliced, and the sliced surface is protected by a silicone resin 29 or the like.

b

COPYRIGHT: (C)1994, JPO&Japio

(2) Japanese Patent Application Laid-Open No. 6-140633 (1994)

“MOS-Drive Type Semiconductor Device”

The following are the extracts relevant to the present invention:

5

This invention relates to a MOS-drive type semiconductor device with a high breakdown voltage.

A MOS-drive type semiconductor device shown in Fig. 1 comprises one diffusion layer 28 at an end (peripheral) portion of a chip on which a semiconductor element is to be formed. The diffusion layer 28 is formed at the end portion of the chip so as to surround the chip. Further, the diffusion layer 28 is connected to a cathode electrode 25, to have a potential identical to that of a P-type base layer 22. Moreover, an end face of the chip is obliquely cut off (so as to form an angle of approximately 60° with a main face of a substrate, for example), and protected by a silicon resin 29 or the like.

As such, the semiconductor device of this invention has a mesa structure in which an end face of a chip is obliquely cut off. As a result, it is possible to increase an available area on a chip, as well as to obtain an improved semiconductor device capable of providing a blocking voltage which is close to a logic value.

20

(51)Int.Cl.⁵
H 01 L 29/784識別記号 厅内整理番号
9168-4M

F I

技術表示箇所

H 01 L 29/ 78

3 2 1 K

審査請求 未請求 請求項の数 6(全 5 頁)

(21)出願番号 特願平4-288694

(71)出願人 000003078

(22)出願日 平成4年(1992)10月27日

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 松田 秀雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 藤原 隆

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(72)発明者 日吉 道明

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(74)代理人 弁理士 鈴江 武彦

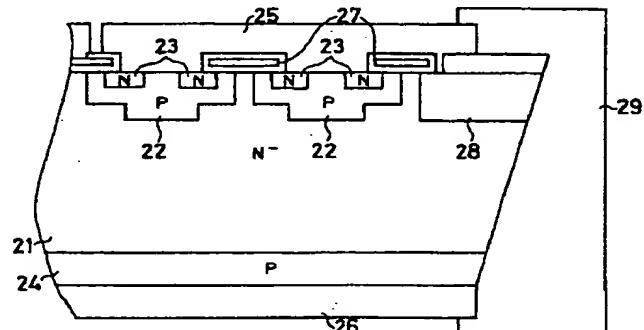
最終頁に続く

(54)【発明の名称】 MOS駆動型半導体装置

(57)【要約】

【目的】チップ上における有効面積を増やし、理論値に近い電圧阻止能力を有するMOS駆動型半導体装置を提供する。

【構成】MOS型半導体素子が形成されるチップの終端部(縁部)には、一つの拡散層28が形成されている。この拡散層28は、チップの終端部において当該チップを取り囲むようにして形成されている。また、拡散層28は、カソード電極25に接続されており、P型ベース層22と同電位となっている。さらに、チップの終端面は、斜めに切り落とされ、かつ、シリコーン樹脂29等で保護されている。



【特許請求の範囲】

【請求項1】 第1導電型の第1の層と、前記第1の層上に形成される第2導電型の第2の層と、前記第2の層の表面領域に形成される第1導電型の複数の第3の層と、前記第3の層の表面領域に形成される第2導電型の第4の層と、前記第1の層に接続される第1の電極と、前記第4の層、或いは前記第3及び第4の層に接続される第2の電極と、前記第3の層に跨がるように絶縁膜を介して形成される第3の電極と、前記第2の層の終端部の表面領域に一つのみ形成され、前記第2の電極に接続されることにより前記第3の層の電位と同電位に保たれる第1導電型の第5の層とを具備することを特徴とするMOS駆動型半導体装置。

【請求項2】 前記第5の層の厚さは、前記第3の層の厚さよりも大きくなっていることを特徴とする請求項1に記載のMOS駆動型半導体装置。

【請求項3】 前記第3の層の直下における第1の層の厚さは、前記第5の層の直下における第1の層の厚さよりも大きくなっていること、前記第2の層の厚さがほぼ均一であることを特徴とする請求項2に記載のMOS駆動型半導体装置。

【請求項4】 前記第5の層の直下における第1の層の導電型を第2導電型に変え、かつ、当該第2導電型の第1の層の不純物濃度を前記第2の層の不純物濃度よりも高くしたことを特徴とする請求項1乃至3のいずれか1項に記載のMOS駆動型半導体装置。

【請求項5】 前記第1の層と前記第2の層との間にバッファ層を設けたことを特徴とする請求項1乃至4のいずれか1項に記載のMOS駆動型半導体装置。

【請求項6】 前記第2の層の終端部は、斜めに切り落とされており、かつ、当該終端部は、樹脂によって保護されていることを特徴とする請求項1乃至5のいずれか1項に記載のMOS駆動型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高耐圧を有するMOS駆動型半導体装置に関する。

【0002】

【従来の技術】 従来、MOS駆動型半導体装置、例えばIGBTは、図7又は図8に示すような素子構造を有している。図7及び図8において、11は、N-型ベース層、12は、P型ベース層、13は、N型エミッタ層、14は、P型エミッタ層、15は、カソード電極、16は、アノード電極、17は、ゲート電極、18は、バッファ層である。

【0003】 上記MOS駆動型半導体装置では、当該半導体素子が形成されるチップの終端部(縁部)には、一般に、複数の拡散層19、…から構成される多重のガードリング(ブレーナ構造)が採用されている。これにより、当該半導体装置の耐圧を向上させている。

【0004】 しかし、上述のような多重のガードリングからなるブレーナ構造を採用すると、第一に、チップの終端部において複数の拡散層19、…(電流が流れない領域)が大きな面積を占め、チップ上における有効面積が減少する、という欠点がある。また、第二に、当該ブレーナ構造においても、理論上得ることができる耐圧の約8割しか耐圧を得ることができない、という欠点がある。

【0005】

【発明が解決しようとする課題】 このように、従来は、チップの終端部において、多重のガードリングからなるブレーナ構造を採用しているが、かかる構造では、チップ上における有効面積が減少したり、理論値よりも低い耐圧しか得られない、という欠点がある。

【0006】 本発明は、上記欠点を解決すべくなされたもので、その目的は、チップ上における有効面積を増やし、理論値に近い電圧阻止能力を有するMOS駆動型半導体装置を提供することである。

【0007】

【課題を解決するための手段】 上記目的を達成するため、本発明のMOS駆動型半導体装置は、第1導電型の第1の層と、前記第1の層上に形成される第2導電型の第2の層と、前記第2の層の表面領域に形成される第1導電型の複数の第3の層と、前記第3の層の表面領域に形成される第2導電型の第4の層と、前記第1の層に接続される第1の電極と、前記第3及び第4の層に接続される第2の電極と、前記第3の層に跨がるように形成される第3の電極と、前記第2の層の終端部の表面領域に一つのみ形成され、前記第2の電極に接続されることにより前記第3の層の電位と同電位に保たれる第1導電型の第5の層とを備える。

【0008】 また、前記第5の層の厚さは、前記第3の層の厚さよりも大きくなっている。前記第3の層の直下における第1の層の厚さは、前記第5の層の直下における第1の層の厚さよりも大きくなっていること、前記第2の層の厚さがほぼ均一である。

【0009】 また、前記第5の層の直下における第1の層の導電型を第2導電型に変え、かつ、当該第2導電型の第1の層の不純物濃度を前記第2の層の不純物濃度よりも高くしている。また、前記第1の層と前記第2の層との間にバッファ層を設けたものである。前記第2の層の終端部は、斜めに切り落とされており、かつ、当該終端部は、樹脂によって保護されている。

【0010】

【作用】 上記構成によれば、第2の層の終端部には、第3の層と同電位の一つの第5の層が形成され、かつ、いわゆるメサ構造を採用している。また、通電領域における第1の層の深さも大きくなっている。これにより、素子特性を劣化させることなく、チップ上における有効面積を増やすことができ、理論値に近い電圧素子能力を有す

るMOS駆動型半導体装置を提供できる。さらに、当該MOS駆動型半導体装置とダイオードとをモノリシックに形成することもでき、当該半導体装置を利用した応用装置全体の小型化に貢献できる。

【0011】

【実施例】以下、図面を参照しながら、本発明の一実施例について詳細に説明する。図1は、本発明の第1の実施例に係わるMOS駆動型半導体装置(IGBT)を示すものである。図1において、21は、N-型ベース層、22は、P型ベース層、23は、N型エミッタ層、24は、P型エミッタ層、25は、カソード電極、26は、アノード電極、27は、ゲート電極である。

【0012】上記MOS駆動型半導体装置は、当該半導体素子が形成されるチップの終端部(縁部)に一つの拡散層28を有している。この拡散層28は、チップの終端部において当該チップを取り囲むようにして形成されている。また、拡散層28は、カソード電極25に接続されており、P型ベース層22と同電位となっている。さらに、チップの終端面は、斜め(例えば基板正面に対し約60°)に切り落とされ、かつ、シリコーン樹脂29等で保護されている。なお、このシリコーン樹脂29等は、チップの終端面を斜めに切り落とす加工による破碎層をエッチングにより除去した後に形成される。

【0013】上記構成によれば、チップ終端部の拡散層28は一つであり、また、当該拡散層28は、P型ベース層22と同電位である。さらに、チップ終端面が斜めに切り落とされたメサ構造を有する。これにより、チップ上における有効面積を増やすことができると共に、理論値に近い電圧阻止能力を有するMOS駆動型半導体装置にすることができる。

【0014】図2は、本発明の第2の実施例に係わるMOS駆動型半導体装置(IGBT)を示すものである。なお、図2において、図1と同じ部分には同じ符号を付してある。

【0015】このMOS駆動型半導体装置は、チップの終端部の拡散層28の深さを、P型ベース層22の深さよりも大きくしたものである。P型ベース層22の深さは、一般的には約10~25[μm]であり、この程度の深さで2500[V]以上の電圧阻止能力を持たせようとするのは困難である。なぜなら、チップ終端部の鋭角部は製造工程途上においてかけやすく、また、かけた場合には拡散層28の深さが実質的に浅くなるためである。そこで、チップの終端部の拡散層28の深さを、P型ベース層22の深さ(約10~25[μm])よりも深い、約30~70[μm]としたものである。

【0016】上記構成によれば、上記第1の実施例と同様の効果が得られる他、さらに2500[V]以上の電圧阻止能力を有するMOS駆動型半導体装置を歩留りよく製造できる、という効果が得られる。

【0017】図3は、本発明の第3の実施例に係わるM

OS駆動型半導体装置(IGBT)を示すものである。なお、図3において、図2と同じ部分には同じ符号を付してある。

【0018】このMOS駆動型半導体装置は、チップの終端部の拡散層28の深さを、P型ベース層22の深さよりも大きくし、電圧阻止能力の向上を図った点において第2の実施例と共通する。

【0019】しかし、第2の実施例では、通電領域におけるN-型ベース層21が、終端部の拡散層28直下のN-型ベース層21に比べて、当該拡散層28を深くした分だけ厚くなってしまう。なお、通電領域におけるN-型ベース層21が厚くなると、以下の不都合が生じる。即ち、N-型ベース層21の抵抗値Rが増大するため、当該N-型ベース層21中の電圧降下V(=R×I)もまた大きくなる。なお、電流Iは一定とする。従って、当該半導体装置に発生する電力(熱エネルギー)P(=I×V)が増大し、通電状態における特性を劣化させる。

【0020】そこで、本実施例では、通電領域におけるP型エミッタ層24の深さを、他の領域(終端部)における当該P型エミッタ層24の深さよりも大きくしたものである。言い換えれば、N-型ベース層21の厚さtを場所によらず、即ち通電領域及びチップ終端部においてほぼ一定としたものである。

【0021】上記構成によれば、上記第2の実施例と同様の効果が得られることに加えて、さらに通電状態における特性を向上、即ちMOS駆動型半導体装置に発生する熱量を最小限に抑えることができる。

【0022】図4は、本発明の第4の実施例に係わるMOS駆動型半導体装置(IGBT)を示すものである。なお、図4において、図3と同じ部分には同じ符号を付してある。

【0023】このMOS駆動型半導体装置は、チップの終端部において、アノード電極26側にチャネルストップとしてのN型拡散層30を形成したものである。この拡散層30は、チャネルストップとしての役割を果たすと共に、当該半導体素子(IGBT)と逆並列に接続されるダイオード31としての役割を果たすものである。また、N型拡散層30の不純物濃度は、N-型ベース層21の不純物濃度よりも高くなっている。

【0024】上記構成によれば、上記第3の実施例と同様の効果が得られる他、以下の効果を得ることができる。即ち、IGBTなどのMOS駆動型半導体装置は、これにダイオードを逆並列に接続して使用するのが一般的であり、本実施例によれば、当該IGBTとダイオードをモノリシックに形成できるため、当該半導体装置を利用した応用装置全体の小型化を達成できるメリットがある。

【0025】図5及び図6は、それぞれ本発明の第5の実施例に係わるMOS駆動型半導体装置(IGBT)を

示すものである。なお、図5において図3と同じ部分には同じ符号を付してある。また、図6において図4と同じ部分には同じ符号を付してある。

【0026】本実施例は、図3及び図4のMOS駆動型半導体装置にバッファ層32を設けたものであり、これによりN-型ベース層21をさらに薄くすることができ、電圧降下を低くすることができる。なお、ここではIGBTについて記述したが、本発明がその他のMOS駆動型半導体装置にも適用できることは、容易に類推できる。

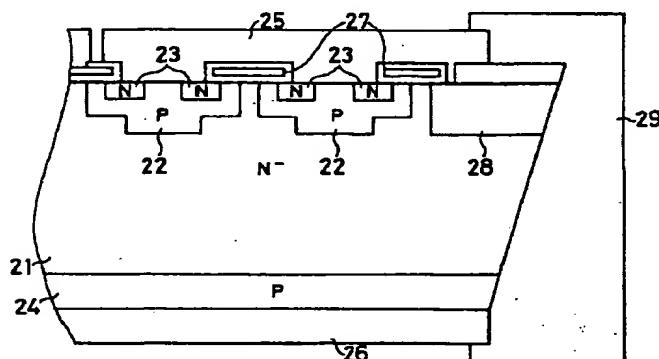
【0027】

【発明の効果】以上、説明したように、本発明のMOS駆動型半導体装置によれば、次のような効果を奏する。チップ終端部には、P型ベース層と同電位の一つのP型拡散層が形成され、かつ、メサ構造を採用している。また、通電領域におけるP型エミッタ領域の深さも大きくしている。これにより、素子特性を劣化させることなく、チップ上における有効面積を増やすことができ、理論値に近い電圧素子能力を有するMOS駆動型半導体装置を提供できる。さらに、IGBTとダイオードをモノリシックに形成でき、当該半導体装置を利用した応用装置全体の小型化に貢献できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係わるMOS駆動型半導体装置を示す断面図。

【図1】



【図2】本発明の第2の実施例に係わるMOS駆動型半導体装置を示す断面図。

【図3】本発明の第3の実施例に係わるMOS駆動型半導体装置を示す断面図。

【図4】本発明の第4の実施例に係わるMOS駆動型半導体装置を示す断面図。

【図5】本発明の第5の実施例に係わるMOS駆動型半導体装置を示す断面図。

【図6】本発明の第5の実施例に係わるMOS駆動型半導体装置を示す断面図。

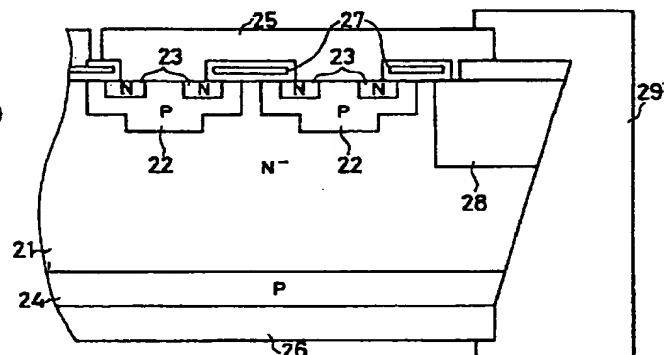
【図7】従来のMOS駆動型半導体装置を示す断面図。

【図8】従来のMOS駆動型半導体装置を示す断面図。

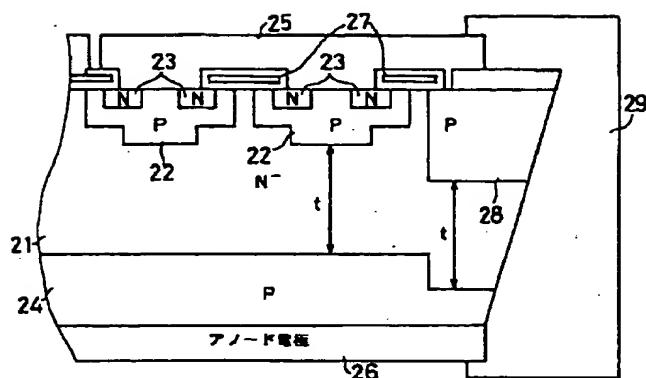
【符号の説明】

21	…N-型ベース層、
22	…P型ベース層、
23	…N型エミッタ層、
24	…P型エミッタ層、
25	…カソード電極、
26	…アノード電極、
27	…ゲート電極、
28	…P型拡散層、
29	…シリコーン樹脂、
30	…N型拡散層、
31	…ダイオード、
32	…バッファ層。

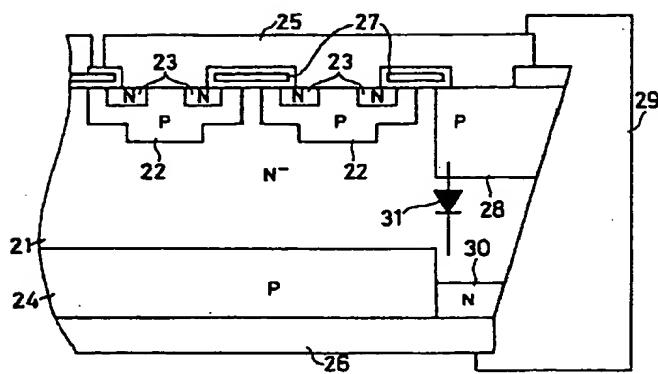
【図2】



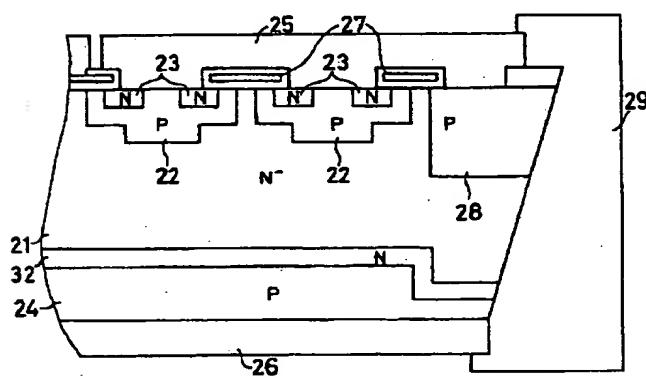
【図3】



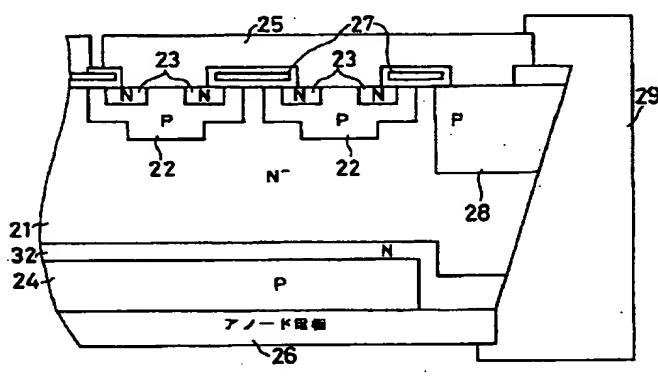
【図4】



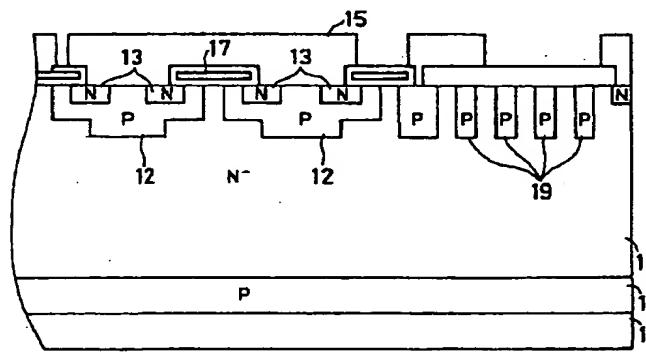
【図5】



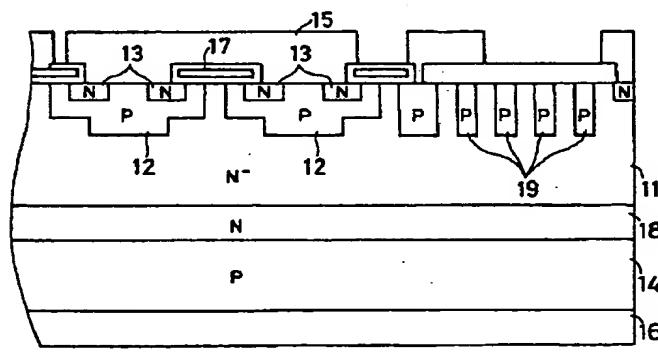
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 唐澤 大

東京都府中市東芝町1番地 株式会社東芝
府中工場内